

DIGITAL PLL CIRCUIT

Patent Number: JP9083361
Publication date: 1997-03-28
Inventor(s): AKEBOSHI NORIYUKI
Applicant(s): NEC YAMAGATA LTD
Requested Patent: ☐ JP9083361
Application Number: JP19950238023 19950918
Priority Number(s):
IPC Classification: H03L7/22; H03L7/06; H04L7/033
EC Classification:
Equivalents: JP2908293B2

Abstract

PROBLEM TO BE SOLVED: To attain the signal output of multiplied frequency synchronized with a reference clock.

SOLUTION: This digital phase locked loop(PLL) circuit includes a 1st loop circuit 11, up counter 4 for outputting a count value NU of reference clocks C, delay circuit 33 for adding a delay value proportional to the value NU to the clock C and generating a feedback signal F2, and phase comparator circuit 5 for comparing the phases of signals C and F2 and outputting latch signals RA and RB respectively when the advanced state of the signal F2 is first and next switched to the delayed state and is provided with latch circuits 6 and 7 for outputting holding signals A and B by latching the value NU corresponding to the latch signals RA and RB, arithmetic circuit 8 for outputting an arithmetical value E while receiving the supply of holding signals A and B, adder circuit 9 for outputting an added value S of values N and E, and delay circuits 31 and 32 for outputting a delay signal D2 and the feedback signal F2 by adding a delay value proportional to the respective values S and NU to the reference clock C.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83361

(43) 公開日 平成9年(1997) 3月28日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L	7/22		H 0 3 L	7/22
	7/08			7/06
H 0 4 L	7/033		H 0 4 L	7/02
				B
				B

審査請求 有 請求項の数 4 O L (全 6 頁)

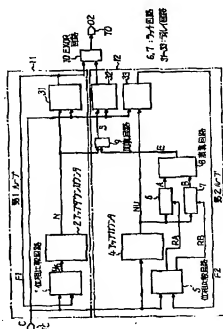
(21) 出願番号	特願平7-238023	(71) 出願人	390001915 山形日本電気株式会社 山形県山形市北町4丁目12番12号
(22) 出願日	平成7年(1995) 9月18日	(72) 発明者	明星 則幸 山形県山形市北町四丁目12番12号 山形日 本電気株式会社内
		(74) 代理人	弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 デジタルフェーズロックドループ回路

(57) 【要約】

【課題】 基準クロックに同期した遅延周波数の信号を出力する。

【解決手段】 第1ループ回路11と、基準クロックCの計数値N1を出力するアップカウンタ4と、値N1に比例の遅延値をクロックCに付加し遅延信号D2を生成する遅延回路33と、値C、F2の位相比較を行い値F2の進み状態から遅延状態に切替ったときの初回、次の各々にラッチ信号RA、RBを出力する位相比較回路5と、ラッチ信号RA、RBにより値N1をラッチし保持信号A、Bを出力するラッチ回路6、7と、保持信号A、Bの供給を受け計数値Eを出力する演算回路8と、値N、Eの加算値Sを出力する加算回路9と、値S、N1の各々に比例する遅延値を基準クロックCに付加して遅延信号D2、遅延信号F2を出力するディレイ回路31、32とを備える。



【特許請求の範囲】

【請求項1】 基準クロック信号と第1の補選信号との位相比較を行い前記基準クロック信号に対する前記第1の補選信号の進みおよび遅れの各々に対応してアップ信号およびダウン信号をそれぞれ出力する第1の位相比較回路と、前記アップ信号、ダウン信号の供給にตอบสนองしてそれぞれアップおよびダウン計数を行い第1の計数値を出力するアップダウンカウンタと、前記第1の計数値に比例した第1の遅延値を生成して前記基準クロック信号に付加し前記第1の補選信号を生成する第1の遅延回路とを備える第1のループ回路と、

前記基準クロック信号をアップ計数し第2の計数値を出力するアップカウンタと、前記第2の計数値に比例した第2の遅延値を生成して前記基準クロック信号に付加し第2の補選信号を生成する第2の遅延回路と、前記基準クロック信号と前記第2の補選信号との位相比較を行う位相比較信号を生成する第2の位相比較回路と、前記位相比較信号対応の演算値の供給にตอบสนองして前記基準クロック信号の1周期の $1/2N$ (N は正の整数)ずつ位相をずらした $N-1$ 個の移相信号を生成する移相信号生成回路とを備える第2のループ回路と、
前記第1の補選信号と前記 $N-1$ 個の移相信号との論理演算を行い前記基準クロック信号の周波数の N 倍の周波数の出力信号を生成する論理演算回路とを備えることを特徴とするデジタルフェーズロックドーループ回路。

【請求項2】 前記第2の位相比較回路が、前記基準クロック信号と前記第2の補選信号とを比較し前記位相比較信号が前記第2の補選信号の進み状態から遅れ状態に、切替ったときの初回および次回にそれぞれ第1、第2のラッチ信号を出力するラッチ信号発生回路を備える。

前記移相信号生成回路が、前記第1、第2のラッチ信号の各々の供給にตอบสนองして前記第1、第2の計数値をそれぞれラッチし第1、第2の保持信号を出力する第1、第2のラッチ回路と、

前記第1、第2の保持信号の供給にตอบสนองして予め定めた演算を実行し第1の演算値を出力する演算回路と、
前記第1の演算値と前記第1の計数値とを加算し第1の加算値を出力する第1の加算回路と、
前記第1の加算値に比例した第2の遅延値を生成して前記基準クロック信号に付加し第1の移相信号を生成する第3の遅延回路とを備えることを特徴とする請求項1記載のデジタルフェーズロックドーループ回路。

【請求項3】 前記論理演算回路が、前記第1の補選信号と前記 $N-1$ 個の移相信号との排他的論理和演算を行う排他的論理和回路を備えることを特徴とする請求項1記載のデジタルフェーズロックドーループ回路。

【請求項4】 前記移相信号生成回路が、前記第1、第2の保持信号の供給にตอบสนองして予め定めた演算を実行し第2の演算値を出力する第2の演算回路と、
前記第2の演算値と前記第1の計数値とを加算し第1の

加算値を出力する第1の加算回路と、

前記第1の加算値と前記第2の演算値とを加算し第2の加算値を出力する第2の加算回路と、

前記第2の加算値と前記第2の演算値とを加算し第3の加算値を出力する第3の加算回路と、

前記第1、第2および第3の加算値の各々に比例した第2、第3、第4の遅延値を生成して前記基準クロック信号に付加しそれぞれ第2、第3の移相信号を生成する第3、第4、第5の遅延回路とを備えることを特徴とする請求項2記載のデジタルフェーズロックドーループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタルフェーズロックドーループ回路に関し、特にLSI内部回路のクロック同期用に搭載するデジタルフェーズロックドーループ回路に関する。

【0002】

【従来の技術】 近年、ワークステーションやハイエンドパーソナルコンピュータに搭載されるマイクロプロセッサの動作周波数は100MHzを越え、さらに高速化の傾向にある。したがって、この種のマイクロプロセッサを用いるシステム設計においては、LSI間のデータの転送も100MHz以上の高周波動作が要求されてきている。このような高速動作に対応してこれらシステムに用いられるASIC等のLSIは、内部回路のクロック同期用にフェーズロックドーループ回路(以下PLL)を搭載する傾向にある。その第1の理由は、高速動作において従来の低速動作では問題とならなかったクロックスキューのためLSI間のデータ転送が不能となるという問題が生じ、この対策のためLSI間の基準クロックの同期をとるためである。すなわち、内蔵PLLを用いて各々のLSIの基準クロックの同期をとることにより、高速のデータ転送が可能となる。第2の理由は、PLLの遅延機能を使用してLSI内部のクロック周波数をシステム基準クロック周波数の数倍に増加することにより内部の処理速度を向上させるためである。また、システム内部の他の低速動作のLSIとの共存させるのにも適している。

【0003】 従来、この種のPLLとしてはアナログ方式(以下アナログ)とデジタル方式(以下デジタル)の2種類が用いられていた。

【0004】 従来のアナログPLLをブロックで示す図5を参照すると、この従来のアナログPLLは、位相比較器101と、チャージポンプ102と、ループフィルタ103と、ボルテージコントロールドオシレータ(以下VCO)104と、分周器105とを備える。

【0005】 一般的な動作については公知であるので説明は省略する。このアナログPLLをLSIに搭載する場合の問題点は、アナログ電圧制御が必要なVCO10

4がLSI内部のノイズ等の影響を受け易いということである。公知のように、VCOはアナログ制御回路の供給に依存して発振周波数に変化する発振器である。したがって、LSIに内蔵する場合、VCOを構成するトランジスタの電源電圧がLSI内部の他の回路の影響により変動したり、VCO制御信号線にノイズが混入したりするとそれがほんのわずかであってもVCOの発振周波数が変動しジッタの要因となるという問題があった。このため、アナログPLLはLSI内部に全ての構成要素の搭載は困難で、アナログ部分であるループフィルタとVCOをLSI外付けにする必要があった。

【0006】デジタルPLLは、VCOの代りにデジタル回路素子から成るアップダウンカウンタと可変遅延回路を用いることにより電源等のLSI内部の他の回路からのノイズ干渉による影響を大幅に緩和できる。公知のように、デジタル回路は、ノイズレベルが各回路を構成するトランジスタのスレッシュドレベルに達しない限り誤動作することはない。したがって、LSIに容易に搭載できる。

【0007】従来のデジタルフェーズロックドループ回路(デジタルPLL)をブロックで示す図5を参照すると、この従来のデジタルPLLは、基準クロックCと帰還信号FQとの位相を比較し帰還信号FQの進み/遅れに対応してアップ/ダウン信号U/Dを出力する位相比較器1と、アップ/ダウン信号U/Dの供給に依存してカウント値Nをアップ/ダウンするnビットのアップダウンカウンタ2と、基準クロックCに付加する遅延値をカウント値Nに比例して可変し出力信号O、帰還信号FQを出力するディレイ回路31とを備える。

【0008】次に、図6を参照して、従来のPLLの動作について説明すると、位相比較器1は、基準クロックCと帰還信号FQの位相とを比較し、帰還信号FQの位相が進んでいればアップ信号U、遅れていればダウン信号Dをそれぞれアップダウンカウンタ2に供給する。その判定は、基準クロックCの立ち上がりエッジにおける帰還信号FQの論理レベルのサンプリングにより行う。サンプリング結果が“H”であればアップ信号U、“L”であればダウン信号Dと判定する。アップダウンカウンタ2はアップ信号Uの供給に依存してカウント値Nをアップし、ダウン信号Dの供給に依存してカウント値Nをダウンしてディレイ回路31に供給する。ディレイ回路3はカウント値Nに比例して遅延値を可変し、基準クロックCに付加することにより出力信号Oすなわち帰還信号FQの位相を変化させる。すなわちカウンタ値Nが小さくなると上記遅延値は小さくなり、カウンタ値Nが大きくなると上記遅延値は大きくなる。

【0009】例えば、基準クロックCに対して帰還信号FQの位相が進んでいれば、位相比較器1はアップ信号Uを出力し、アップダウンカウンタ2はカウント値Nをアップすすなわち増加する。カウンタ値Nの増加にしがた

いディレイ回路31は基準クロックCに付加する遅延値を増加し、その結果帰還信号FQの位相が遅れ基準クロックCとの位相差は小さくなる。

【0010】反対に、基準クロックCに対して帰還信号FQの位相が遅れていれば、位相比較器1はダウン信号Dを出力し、アップダウンカウンタ2はカウント値Nをダウンすすなわち減少する。カウンタ値Nの減小にしがたディレイ回路31は基準クロックCに付加する遅延値を減少し、その結果帰還信号FQの位相が進み基準クロックCとの位相差は小さくなる。

【0011】以上の動作を反復することによって基準クロックCと帰還信号FQとの位相差は減少し最終的に上記位相差はディレイ回路31の遅延値の最小可変単位すなわち遅延ステップ値より小さくなる。すると、位相比較結果はアップ/ダウンを繰り返すようになり位相同期(ロック)状態となる。

【0012】上述のように、デジタルPLLは全てデジタル回路により構成されているので、ジッタ等の性能低下要因となるノイズによる干渉を避ける、したがってLSIに容易に搭載できる。

【0013】しかし、このデジタルPLLは基準クロックに所要の遅延を付加する回路構成であるため外部基準クロックと同一の周波数の出力信号しか得られず、上述の通信機能は有していない。したがって、LSI内部のクロックとの位相同期用として使用する他に、高遅延等のため上記周波数の数倍の周波数のクロックを必要とする場合には別に通信回路を設ける必要があった。

【0014】
【発明が解決しようとする課題】上述した従来のデジタルフェーズロックドループ回路は、基準クロックに所要の遅延を付加する回路構成から外部基準クロックと同一の周波数の出力信号しか得られないので、上記外部基準クロック周波数の数倍の周波数のクロックを必要とする場合には別に通信回路を設ける必要があるという欠点があった。

【0015】
【課題を解決するための手段】本発明のデジタルフェーズロックドループ回路は、基準クロック信号と第1の帰還信号との位相比較を行い前記基準クロック信号に対する前記第1の帰還信号の進みおよび遅れの各々に対応してアップ信号およびダウン信号をそれぞれ出力する第1の位相比較器1と、前記アップ信号、ダウン信号の供給に依存してそれぞれアップおよびダウン計数を行い第1の計数値を出力するアップダウンカウンタと、前記第1の計数値に比例した第1の遅延値を生成して前記基準クロック信号に付加し前記第1の帰還信号を生成する第1の遅延回路とを備える第1のループ回路と、前記基準クロック信号をアップ計数し第2の計数値を出力するアップカウンタと、前記第2の計数値に比例した第2の遅延値を生成して前記基準クロック信号に付加し第2の帰還

信号を生成する第2の遅延回路と、前記基準クロック信号・前記第2の帰還信号との位相比較を行い位相比較信号を生成する第2の位相比較回路と、前記位相比較信号対応の演算値の供給に応答して前記基準クロック信号の1周期の $1/2N$ (N は正の整数)ずつ位相をずらした $N-1$ 個の移相信号を生成する移相信号生成回路とを備える第2のループ回路と、前記第1の帰還信号と前記 $N-1$ 個の移相信号との論理演算を行い前記基準クロック信号の周波数の N 倍の周波数の出力信号を生成する論理演算回路とを備えて構成されている。

【0016】

【発明の実施の形態】次に、本発明の第1の実施の形態を図らと共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施の形態のデジタルフェースロックループ回路(以下PLL)は、従来のデジタルPLLと同一構成すなわち位相比較回路1とアップダウンカウンタ2とディレイ回路31とを含み基準クロックCと同期した帰還信号F1を生成する第1ループ11と、帰還信号F1に対して位相を $1/4$ 周期ずらした遅延信号D2を生成する第2ループ12と、帰還信号F1および遅延信号D2の排他的論理和(EXOR)をとる2通倍の出力信号O2を生成するEXOR回路10とを備える。

【0017】第2ループ12は、基準クロックCをカウントしてカウント値NUを出力するnビットのアップカウンタ4と、基準クロックCと帰還信号F2とを比較し比較結果が信号F2の進み対応のアップ信号から遅れ対応のダウン信号に切替ったとき初回、次回にそれぞれラッチ信号RA、RBを出力する位相比較回路5と、ラッチ信号RA、RBの各々の供給に応答してカウント値NUをそれぞれラッチし保持信号A、Bを出力するラッチ回路6、7と、保持信号A、Bの供給を受け基準クロックCから $1/4$ 周期分遅延に必要な演算(B-A)/4を行い演算値Eを出力する演算回路8と、第1ループ11のアップダウンカウンタのカウント値Nと演算値Eとを加算し加算値Sを出力する加算回路9と、加算値S、カウント値NUの各々に比例する遅延値を生成し基準クロックCに付加してそれぞれ遅延信号D2および帰還信号F2を出力するディレイ回路31、32とを備える。

【0018】次に、図1を参照して本実施の形態の動作について説明すると、まず、第1ループ11の動作は従来と同一の動作を行い帰還信号F1を出力する。同時に対応カウント値Nを加算器9に出力する。第2ループ12の位相比較器5は、基準クロックCと帰還信号F2の位相とを比較し、位相比較器5と同様、基準クロックCの立上がりエッジにおける帰還信号F2の論理レベルのサンプリングにより帰還信号F2の位相の進み遅れを判定し、それぞれ対応するアップ信号、ダウン信号を生成する。最初は、アップカウンタ4のカウント値は0であり帰還信号F2の位相が進んでいるのでアップ信号を

生成している。一方、アップカウンタ4は基準クロックCの供給に応答してカウント値NUを増加し、カウント値NUの増加にしたがってディレイ回路33は遅延値を増加し帰還信号F2の位相を遅らせる。その結果、位相比較回路5の位相比較結果が遅れ、それまで生成していたアップ信号がある時点でダウン信号に切替る。位相比較回路5はこのアップ信号からダウン信号への切替時にラッチ信号RAを出力する。このラッチ信号RAの供給に応答してラッチ回路6はカウント値NUをラッチする。

【0019】さらに位相比較回路5の位相比較動作を反復すると、カウント値NUの増大にもなって帰還信号F2がさらに遅れ、この遅れの基準クロックCから約半周期の時点で比較結果がアップ信号となり、さらに遅れて1周期に達すると比較結果が再びアップ信号からダウン信号に切替る。位相比較回路5はこの2回目のアップ信号からダウン信号への切替時にラッチ信号RBを出力する。このラッチ信号RBの供給に応答してラッチ回路7はカウント値NUをラッチする。

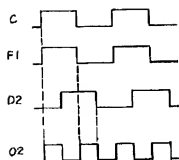
【0020】演算回路8は、ラッチ回路6、7の各々のカウント値NU対応の保持信号A、Bの供給を受け、基準クロックCから1周期分遅延に必要なカウント値対応の演算(B-A)を行いこれを $1/4$ 倍して $1/4$ 周期対応の修正カウント値である演算値Eを出力する。加算器9はカウント値Nと演算値Eとを加算し加算値Sをディレイ回路32に供給する。ディレイ回路32は加算値Sに比例する遅延を基準クロックCに付加し遅延信号D2を出力する。

【0021】本実施の形態の帰還信号F1、F2および出力信号O2のタイミング関係を示すタイムチャートである図2を併せて参照すると、遅延信号D2は帰還信号F1より $1/4$ 周期遅延している。EXOR回路10は、これら帰還信号F1および遅延信号D2の供給に応答してこれら信号F1、D2の排他的論理和である2通倍の出力信号O2を出力端子T0に出力する。

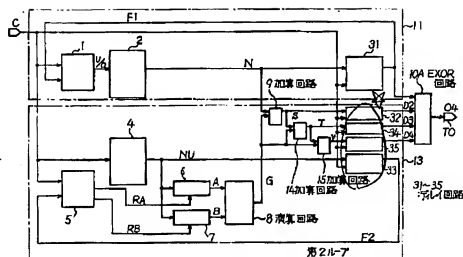
【0022】次に、4通倍の出力信号を発生する本発明の第2の実施の形態を図1と共通の構成要素は共通の文字を付けて同様にブロックで示す図3を参照すると、本実施の形態の前述の第1の実施の形態との相違点は、2通倍対応の第2ループ12の代りに4通倍対応の第2ループ13を、2入力のEXOR回路10の代りに4入力のEXOR回路10Aをそれぞれ備えることである。

【0023】第2ループ13は、第1の実施例と共通のアップカウンタ4と、位相比較回路5と、ラッチ回路6、7と、加算回路9と、ディレイ回路32、33とに加えて、演算回路8の代りに保持信号B、Aの減算値B-Aを $1/8$ して加算値Gを出力する加算器8Aと、演算値Gと加算回路9の出力の加算値Sとを加算し加算値Tを出力する加算器14と、演算値Gと加算値Tとを加算し加算値Vを出力する加算器15と、加算値T、Vの

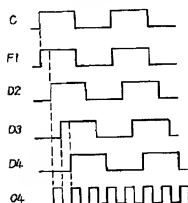
【図2】



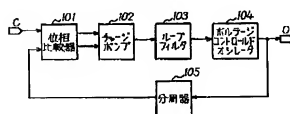
【図3】



【図4】



【図5】



【図6】

